

9

# BEST AVAILABLE COPY

## JAPAN PATENT OFFICE

### PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

H.1-273296

*quoted  
ref  
⑨*

Laid-Open

H.1 (1989) Nov. 1

---

Title of Invention: Semiconductor Memory Device

Application No.: S.63-102080

Filed: S.63 (1988) Apr. 25

Inventor: Kazuyoshi Shoji  
Yasuo Kubota  
1448, Jyosuihon-cho, Kodaira-shi, Tokyo  
Hitachi ULSI Engineering Corp.

Applicant: Hitachi, Ltd.  
4-6, Kandasurugadai, Chiyoda-ku, Tokyo  
Hitachi ULSI Engineering Corp.  
1448, Jyosuihon-cho, Kodaira-shi, Tokyo

Attorneys, Agents: Shizuyo Tamamura

THIS PAGE BLANK (USPTO)

1. A semiconductor memory device comprising:
  - a floating gate electrode and a control gate electrode over the gate insulation film having a thickness sufficient for tunneling where a first write operation that implants electrons to the floating gate electrode is performed by hot electrons generated at the drain area, and
  - a memory cell that performs an erase operation that emits electrons from the floating-gate electrode using a source area tunneling,
  - characterized in that a second write mode is provided whereby electron tunneling from the channel areas of all the memory cells or a predetermined group of the memory cells to the floating gate electrode occurs.
2. A semiconductor memory device, described in claim 1, characterized in that the above write mode is implemented before the erase operation to unify the erase characteristics.

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平1-273296

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月1日

G 11 C 17/00

3 0 9

C-7341-5B

A-7341-5B

審査請求 未請求 請求項の数 5 (全9頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭63-102080

⑯ 出 願 昭63(1988)4月25日

⑰ 発 明 者 庄 司 和 良 東京都小平市上水本町1448番地 日立超エル・エス・アイ  
エンジニアリング株式会社内⑱ 発 明 者 佐 田 康 郎 東京都小平市上水本町1448番地 日立超エル・エス・アイ  
エンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立超エル・エス・アイ 東京都小平市上水本町1448番地  
エンジニアリング株

式会社

㉑ 代 理 人 弁理士 玉村 静世

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

1. トンネルさせ得る膜層を有するゲート絶縁層の上にフローティングゲート電極とコントロールゲート電極を設け、そのフローティングゲート電極へ電子を注入する第1書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリセルを含んで成る半導体記憶装置において、全てのメモリセル又は所定一群のメモリセルのチャネル領域から電子をフローティングゲート電極にトンネルさせる第2書き込み動作モードを備えて成るものであることを特徴とする半導体記憶装置。

2. 上記第2書き込み動作モードは、消去特性を高めるために消去動作の前に予め行われるものであることを特徴とする特許請求の範囲第1項

記載の半導体記憶装置。

3. 上記第2書き込み動作モードは、コントロールゲート電極に高電圧を与えると共に、それらのソース、ドレイン領域に目的の接点電位を与える電圧条件を形成するものであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体記憶装置。

4. 上記メモリセルは、少なくとも、チャネル領域の端部において、ソース領域がドレイン領域よりも相対的に低濃度となる不純物層によって形成されて成るものであることを特徴とする特許請求の範囲第3項記載の半導体記憶装置。

5. 電源電圧を内部昇圧して高電圧を発生させる回路を備えて成るものであることを特徴とする特許請求の範囲第1項乃至第4項の何れか1項記載の半導体記憶装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電気的に書き込み消去可能な不揮発性半導体記憶装置に関し、例えばメモリセルがフ

ローティングゲート電極とコントロールゲート電極を有するMOSFETによって構成される1素子1メモリセル型のEEPROM(エレクトリカリ・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)に適用して有効な技術に関する。

#### 〔従来技術〕

フローティングゲート電極とコントロールゲート電極を有するMOSFETで構成されたEEPROMのメモリセルであるFLOTOX(フローティング・ゲート・トンネル・オキサイド)構造のメモリセルは、フローティングゲート電極の下に部分的に薄い酸化膜を通してフローティングゲート電極に基板から電子をトンネル注入し、あるいはフローティングゲート電極から基板に電子をトンネル放出するため、薄い酸化膜には比較的大きな電界を形成してやる必要がある。また、そのメモリセルにはメモリトランジスタの外に選択トランジスタも必要とされ、1つのメモリセルは少なくとも2素子で構成される。

全ビットもしくはブロック単位で一括消去可能なフラッシュ型EEPROMが実現可能とされる。

本発明者らは既述のフラッシュ型EEPROMの一括消去について検討したところ、一括消去されるメモリセルの中には書き込みされているメモリセルとそうでないメモリセルとが混在し、これらが一括消去されると、書き込みされていないメモリセルは相対的に過消去となり、消去後における個々のメモリセルの特性、特にそのしきい値電圧が不揃いになり、その後の書き込み不良などを生じて、選択トランジスタを持たない1素子型メモリセルを実質的に実現することができない事態を引き起こすことが明らかにされた。そのため、消去前に予め対象メモリセルに軽く書き込みを施すというプレライトの必要性を見出した。

しかしながら、上述のメモリセル構造において書き込みを行うには、ドレイン電流を流しながらそのドレイン領域端部でホットエレクトロンを発生させなければならないため、比較的大きな電流を必要とし、これによって、書き込み動作はE<sub>2</sub>

このようなメモリセル構造は、EPROMのFAMOS(フローティング・ゲート・アバランシェ・インジェクション・MOS)に比べて大きくなり、高集積大容量化の要請を満足することができない。

そこで、メモリセルサイズを小さくするため、フローティングゲート電極とコントロールゲート電極を有し、フローティングゲート電極への電子の注入(書き込み)を、ドレイン領域の端部で発生するホットエレクトロンで行い、フローティングゲート電極からの電子の放出(消去)をソース領域のトンネルで行うようにした、1素子型のメモリセル構造が提案されている。尚、このような1素子型メモリセルを含むEEPROMについて記載された文献の例としては特願昭61-117231号がある。

#### 〔発明が解決しようとする課題〕

ところで、上記した1素子型メモリセルに対する消去動作はトンネル現象を利用しているため消去電流が極めて小さく、これによって、電氣的に

EPROM自体の電流容量などとの関係でバイト単位又はワード単位でしか行うことができないようにされている。このため、トンネル現象を利用して一括消去可能であっても、それ以前に消去特性を揃えるために必要なプレライトを一括して行うことができないため、消去効率が著しく低下し、さらには電力消費量も増大するという問題点が明らかにされた。

本発明の目的は、フローティングゲート電極とコントロールゲート電極を有する不揮発性メモリセルの一括消去前に消去特性を揃えるために行う書き込み動作時間の短縮と低消費電力化とを達成することができる半導体記憶装置を提供することにある。また、本発明の別の目的は、そのようなメモリセルに対する一括書き込みを可能とする半導体記憶装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

#### 〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、フローティングゲート電極への電子の注入をドレイン領域端部で発生するホットエレクトロンで行うと共に、フローティングゲート電極からの電子の放出をソース領域のトンネルで行うメモリセルに対し、それらメモリセルのコントロールゲート電極を高電圧にすると共に、それらのソース、ドレイン領域を回路の接地電位に制御するような電圧条件を与えてチャネル領域から電子をフローティングゲート電極にトンネルさせて書き込みを行う動作モードを備えるようにするものである。

#### 〔作用〕

上記した手段によれば、メモリセルのコントロールゲート電極を高電圧にすると共に、それらのソース、ドレイン領域を回路の接地電位に制御すると、容量結合によりフローティングゲート電極とチャネル領域との間に電位差を生じ、これによって形成される電界がゲート絶縁膜とフローティ

ングゲート電極との電位障壁を超えることにより、ゲート絶縁膜をはさんでチャネル領域からフローティングゲート電極に電子が注入される。このような書き込み動作で誘発されるトンネル電流はホットエレクトロンを発生させて行う書き込み電流に比べて桁違いに小さいため、一括消去と同様一括で実行可能とされる。これにより、消去特性を備えるために一括消去前に行うような書き込み動作時間の短縮と低消費電力化とを達成するものである。

#### 〔実施例〕

第1図には本発明の一実施例であるEEPROMの全体的回路ブロックが示される。同図に示されるEEPROMは、特に制限されないが、公知のMOS集積回路製造技術によって1個のシリコン基板のような半導体基板上に形成される。

本実施例のEEPROMのメモリセル1は、トンネルさせ得る膜厚を有するゲート絶縁膜の上にフローティングゲート電極とコントロールゲート電極を備えたMOSFET（もしくはMISFET

T）によって構成される。

先ず、上記メモリセル1の構造の一例を第2図に基づいて説明する。

1つのトランジスタによって1個のメモリセル1を構成するMOSFETは、特に制限されないが、 $p^-$ 型半導体基板2の上に、第1ゲート絶縁膜3、フローティングゲート電極4、第2ゲート絶縁膜5、及びコントロールゲート電極6を積層し、更に、 $n^+$ 型半導体領域7と $n^-$ 型半導体領域8とによってソース領域を構成すると共に、 $n^+$ 型半導体領域7と $p$ 型半導体領域9とによってドレイン領域を構成して成る。

上記第1ゲート絶縁膜3は酸化シリコン膜から成り、100Å程度のトンネルし得る膜厚を有する。フローティングゲート電極4は多結晶シリコン膜から成り、第2ゲート絶縁膜5は250～350Å程度の膜厚を有する酸化シリコン膜から成る。上記コントロールゲート電極6は第2層目の多結晶シリコン膜から成る。ソース、ドレイン領域のチャネル領域側の端部を構成する $n^+$ 型半導

体領域7は例えば0.1 $\mu$ m程度の浅い接合を有する。 $n^-$ 型半導体領域8は比較的深い接合を有し、チャネル領域における半導体基板2の表面にまで達することにより、ソース領域の一部を成す $n^+$ 型半導体領域7と半導体基板2との接合耐圧を高める。 $p$ 型半導体領域9は比較的深い接合を有し、チャネル領域における半導体基板2とドレイン領域の一部を成す $n^+$ 型半導体領域7との間に介在して、ドレイン領域と半導体基板2の間に生ずる電界を強化してホットキャリアの発生効率を高める。

図る構造のメモリセル1に対する書き込みは、特に制限されないが、ソース領域に回路の接地電位 $V_{ss}$ を、ドレイン領域に回路の電源電圧 $V_{cc}$ を、そしてコントロールゲート電極6に高電圧 $V_{pp}$ を印加することにより、ドレイン領域の一部である $n^+$ 型半導体領域7の端部でホットエレクトロンを発生させて、その電子をフローティングゲート電極4に注入することによって行われる。書き込みされたメモリセルのしきい値電圧は比較

的高くされ、例えば消去状態のしきい値電圧に対して2V以上高められる。特に本実施例のメモリセル構造においては、比較的強い接合を有するp型半導体領域9がチャネル領域における半導体基板2とドレイン領域の一部を成すn<sup>+</sup>型半導体領域7との間に介在することにより、ドレイン領域と半導体基板2の間に生ずる電界を強化してホットキャリアの発生効率を高めることができる構造になっているから、ドレイン電圧を比較的低くしてドレイン電流を抑えながら書き込みを行うことが可能になる。

消去は、特に制限されないが、ソース領域に高電圧 $V_{pp}$ を、ドレイン領域及びコントロールゲート電極6に回路の接地電位 $V_{ss}$ を印加することにより、フローティングゲート電極4に保持されている電子を第1ゲート絶縁膜3を通してソース領域にトンネルさせてn<sup>+</sup>型半導体領域7に放出することによって行われる。このようにして消去されたメモリセルのしきい値電圧は比較的低くされる。特に本実施例のメモリセル構造において

は、比較的強い接合を有するn<sup>+</sup>型半導体領域8がチャネル領域における半導体基板2の表面にまで達することにより、ソース領域の一部を成すn<sup>+</sup>型半導体領域7と半導体基板2との接合耐圧即ちアバランシェブレークダウン電圧を高める構造になっている。これにより、ソース領域に印加する消去電圧を高めて消去時間を短縮することができる。

本実施例においては、一括消去に先立ってその消去特性を各メモリセル間で揃えるための軽い書き込み即ちプレライトが行われる。このプレライトは、特に制限されないが、ソース領域及びドレイン領域に回路の接地電位 $V_{ss}$ を、そしてコントロールゲート電極6に高電圧 $V_{pp}$ を印加すると、寄量結合によりフローティングゲート電極4とチャネル領域との間に電位差を生じ、これによって形成される電界が第1ゲート絶縁膜3とフローティングゲート電極4との電位障壁を超えることにより、第1ゲート絶縁膜3をはさんでチャネル領域からフローティングゲート電極4に電子が

トンネル注入されることによって行われる。このプレライトによって消費されるトンネル電流はホットエレクトロンを発生させて行う書き込み電流に比べて桁違いに小さいため、トンネルを利用する消去動作と同様全ビットもしくはブロック単位で一括プレライトが可能になり、これによって、消去特性を揃えるために一括消去前に行うプレライトの動作時間短縮と低消費電力とを達成する。

メモリセル1に対するデータの読み出しは、特に制限されないが、ドレイン領域に回路の電圧電圧 $V_{dd}$ を、ソース領域に回路の接地電位 $V_{ss}$ を、そして選択されるべきメモリセルのコントロールゲート電極6に電圧電圧 $V_{dd}$ 、非選択とされるべきメモリセルのコントロールゲート電極6に回路の接地電位 $V_{ss}$ を印加することによって行われる。これにより、書き込み状態の選択メモリセルが導通に制御され、それ以外のメモリセルは非導通に制御される。

尚、上記書き込み、消去、プレライト、及び読み出しの各動作において、基板2は回路の接地電

位 $V_{ss}$ にバイアスされている。

以下電子のトンネル注入による一括プレライトモードを備えたEEPROMの全体を第1図に基づいて説明する。

第1図において10は上記メモリセル1を複数個マトリクス配列して成るメモリセルアレイである。このメモリセルアレイ10において、同一行に配置されたメモリセル1の選択端子即ちコントロールゲート電極6は行毎にワード線 $WL_1 \sim WL_i$ に結合され、同一列に配置されたメモリセル1のドレイン領域は列毎にビット線 $BL_1 \sim BL_j$ に結合される。また、各メモリセル1のソース領域は、特に制限されないが、ソース線 $SL$ に共通接続される。上記ビット線 $BL_1 \sim BL_j$ は、夫々カラム選択スイッチ $Q_{01} \sim Q_{0j}$ を介して共通データ線 $CD$ に共通接続される。

上記ワード線 $WL_1 \sim WL_i$ は、ローアドレス信号 $RADR$ のデコード結果などに基づいてワード線駆動信号を形成するローアドレスデコーダ及びワードドライバ11の出力端子に1対1対応



で結合される。

上記ローアドレスデコード及びワードドライバ11に含まれるワードドライバは、例えばワード線WL<sub>i</sub>に対応する1ビット分の構成が代表的に示される第3欄のように、pチャネル型負荷MOSFETQ1とnチャネル型駆動MOSFETQ2がコンプリメンタリプッシュプル形態に設けられ、その結合ノードがワード線WL<sub>i</sub>の駆動端子とされる。この駆動端子はpチャネル型MOSFETQ3のゲート電極に直接接続され、このMOSFETQ3のドレイン電極が上記負荷MOSFETQ1のゲート電極に結合される。負荷MOSFETQ1のゲート電極にはワード線WL<sub>i</sub>に対応するローアドレスデコードの出力選択信号がnチャネル型トランスファMOSFETQ4を介して供給され、また、上記駆動MOSFETQ2のゲート電極にはその選択信号が直接供給されるようになっている。

上記MOSFETQ1及びQ3のソース電極には、EEPROMの動作モードに従って電源切り

換え回路12から電源電圧V<sub>cc</sub>又は高電圧V<sub>pp</sub>が供給される。

ここで、電源電圧V<sub>cc</sub>は、特に制限されないが、5V程度の電圧とされ、高電圧V<sub>pp</sub>は、特に制限されないが、12〜15V程度の電圧とされる。この高電圧V<sub>pp</sub>は、特に制限されないが、電源電圧V<sub>cc</sub>を外側から受けてこれを内部昇圧形成する昇圧回路17から供給される。

上記ソース線SLにはEEPROMの動作モードに従って電源切り換え回路13から接地電位V<sub>ss</sub>又は高電圧V<sub>pp</sub>が供給される。

上記カラム選択スイッチQ<sub>cs</sub>、〜Q<sub>cj</sub>は、カラムアドレス信号CADDRSをデコードしたりするカラムアドレスデコード14の出力選択信号に基づいて所定のものがオン状態に制御される。

上記共通データ線CDは、動作切り換えスイッチSW<sub>r</sub>を介してセンスアンプ及びバイアス回路15に結合される。このセンスアンプ及びバイアス回路15は、データの読み出し動作において、メモリセルのドレイン領域に電源電圧V<sub>cc</sub>に呼

応するバイアス電圧を与えると共に、選択されるべきメモリセルの導通又は非導通状態に応じて決定される共通データ線CDの電位を増幅して出力する。

また、上記共通データ線CDには、動作切り換えスイッチSW<sub>w</sub>を介して書き込み回路16が結合される。この書き込み回路16は、特に制限されないが、外部から供給されるデータレベルに従って共通データ線CDを電源電圧V<sub>cc</sub>レベルに駆動する。

さらに、上記共通データ線には、消去動作及びプレライト動作時に、動作切り換えスイッチSW<sub>e</sub>を介して接地電位V<sub>ss</sub>が与えられるようになっている。

EEPROMの内部制御はコントローラ18が行う。このコントローラ18は、特に制限されないが、外部制御信号としてチップ選択状態を指示するためのチップイネーブル信号CE、読み出し動作を指示するためのアウトプットイネーブル信号OE、書き込み動作を指示するためのプログラ

ム信号PGM、及び一括プレライトと共に一掃消去動作を指示するためのイレージイネーブル信号EEが供給され、これら外部制御信号の指示に従って内部動作モードを決定する。

即ち、読み出し動作が指示されると、電源切り換え回路12は切り換え制御信号φ<sub>1</sub>によってローアドレスデコード及びワードドライバ11に電源電圧V<sub>cc</sub>を供給する状態に制御されると共に、他方の電源切り換え回路13は切り換え制御信号φ<sub>2</sub>によってソース線SLに回路の接地電位V<sub>ss</sub>を供給する状態に制御され、更に、選択制御信号φ<sub>3</sub>によって動作切り換えスイッチSW<sub>r</sub>がオン状態に制御される。これによって、メモリセル1には上記した読み出し動作のための電圧条件が与えられ、ローアドレス信号RADDRS及びカラムアドレス信号CADDRSによって選択されるメモリセル1の導通又は非導通状態に応じたデータがセンスアンプ及びバイアス回路15から外部に読み出される。

書き込み動作が指示されると、電源切り換え回

路12は切り換え制御信号 $\phi$ によってローアドレスデコード及びワードドライバ11に高電圧 $V_{pp}$ を供給する状態に制御されると共に、他方の電圧切り換え回路13は切り換え制御信号 $\phi$ によってソース線SLに回路の接地電位 $V_{ss}$ を供給する状態に制御され、更に、選択制御信号 $\phi$ によって動作切り換えスイッチSWがオン状態に制御される。これによって、メモリセル1には上記した書き込み動作のための電圧条件が与えられ、ローアドレス信号RADRS及びカラムアドレス信号CADRSによって選択されるメモリセル1のドレイン領域に書き込み回路16から電圧 $V_{cc}$ が与えられることによって、当該メモリセルに書き込みが行われる。

一括ブレライトと共に一括消去動作が指示されると、先ず一括ブレライトのために、電圧切り換え回路12は、切り換え制御信号 $\phi$ によってローアドレスデコード及びワードドライバ11に高電圧 $V_{pp}$ を供給する状態に制御されると共に、他方の電圧切り換え回路13は切り換え制御信号

$\phi$ によってソース線SLに回路の接地電位 $V_{ss}$ を供給する状態に制御され、更に、選択制御信号 $\phi$ によって動作切り換えスイッチSWがオン状態に制御される。このとき、ローアドレスデコード及びワードドライバ11はローアドレス信号RADRSとは無関係に切り換え制御信号 $\phi$ によって全てのワード線WL<sub>1</sub>～WL<sub>i</sub>を一括して選択し得る状態即ち全てを高電圧 $V_{pp}$ に駆動し得る状態に制御される。さらに、カラムアドレスデコード14はカラムアドレス信号CADRSとは無関係に切り換え制御信号 $\phi$ によって全てのカラム選択スイッチQ<sub>cs1</sub>～Q<sub>csi</sub>を一括してオン状態にし得る状態に制御される。これによって、メモリセルアレイ10に含まれる全てのメモリセル1には上記したブレライトのための電圧条件が与えられて一括でブレライトされる。

一括ブレライトが終了されるタイミングの後には、引き続いて一括消去動作のために、カラムアドレスデコード14による全てのカラム選択スイッチQ<sub>cs1</sub>～Q<sub>csi</sub>の一括オン状態と、切り

換えスイッチSWのオン状態とが維持される。そして、電圧切り換え回路13は切り換え制御信号 $\phi$ によってソース線SLに高電圧 $V_{pp}$ を供給する状態に制御される。さらに、ローアドレスデコード及びワードドライバ11はローアドレス信号RADRSとは無関係に切り換え制御信号 $\phi$ によって全てのワード線WL<sub>1</sub>～WL<sub>i</sub>を一括して非選択とし得る状態即ち全てを回路の接地電位 $V_{ss}$ に強制し得る状態に制御される。これにより、メモリセルアレイ10に含まれる全てのメモリセル1には上記した消去動作のための電圧条件が与えられて、一括消去される。

上記実施例によれば以下の作用効果を得るものである。

(1) 一括消去に先立ってその消去特性を揃えるための軽い書き込み即ちブレライトは、第1ゲート絶縁膜3をはさんでチャネル領域からフローティングゲート電極4に電子がトンネル注入されることによって行われる。このブレライトによって誘発されるトンネル電流はホットエレクトロンを

発生させて行う書き込み電流に比べて桁違いに小さいため、トンネルを利用する消去動作と同様に全ビットもしくはブロック単位で一括ブレライトが可能にされる。これによって、一括消去前に消去特性を揃えるために行うブレライトの動作時間短縮と低消費電力とを達成することができる。

(2) しかも、本実施例のように、ソース領域に含まれる比較的深い接合を有するn<sup>+</sup>型半導体領域8がチャネル領域における半導体基板2の表面にまで達するようなメモリセル構造を持つ場合、言い換えるなら、ソース領域がドレイン領域よりも相対的に低濃度となる不純物層によって形成される場合には、ソース領域の一部を成すn<sup>+</sup>型半導体領域7と半導体基板2との接合部圧即ちアバラシエブレークダウン電圧が高められ、ソース領域に印加する消去電圧を高めて消去時間を短縮することができるようになるから、一括ブレライトと共に行われる全体的な消去動作の時間を一層短縮することができる。

(3) 上記作用効果より、昇圧回路17により電

高電圧  $V_{cc}$  を内部昇圧して高電圧  $V_{pp}$  を発生させる形式の  $EEPROM$  のようにその高電圧  $V_{pp}$  の電流容量が比較的小さくても、一括ブレライトと共に行われる全体的な一括消去動作に要する電力消費量を比較的小さく抑えることができるから、一括ブレライト並びに一括消去の信頼性を良好に保つことができる。

(4) メモリセルを選択することなく全てのメモリセルを書き込み状態にしてデバイステストを行うような場合に、電子のトンネル注入によるブレライトモードを単独に利用して一括書き込みを行うことにより、当該テスト時間を大幅に短縮することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されず、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば  $EEPROM$  を構成するメモリ素子において、そのソース領域と半導体基板の接合耐圧を高めたり、さらにはドレイン領域端部の電界を強

化するための構造は上記実施例の構造に限定されずその他種々の手段を講ずることができ、さらにはそのような特別な構造を持たないメモリ素子に対しても本発明は適用可能である。また、上記実施例では  $n$  チャネル型のメモリ素子を一例として説明したが、 $p$  チャネル型によっても構成可能である。

ブレライトや一括消去は全ビット一括で行う場合に限定されず、その記憶容量などとの関係でブロック単位で行うこともできる。また、上記実施例ではブレライトに引き続いて自動的に一括消去動作が行われる場合について説明したが、ブレライトと一括消去を外部から個別的にモード設定するようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である1素子1メモリセル型の  $EEPROM$  に適用した場合について説明したが、本発明はその他種々の電気的に書き換え可能な半導体記憶装置に広く適用することができる。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、フローティングゲート電極へ電子を注入する第1書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリセルに対し、これら全てのメモリセル又は所定一群のメモリセルのチャネル領域から電子をフローティングゲート電極にトンネルさせる第2書き込み動作モードを備えることにより、所定第2書き込み動作で消費されるトンネル電流はホットエレクトロンを発生させて行う書き込み電流に比べて桁違いに小さくされるため、一括消去と同様に一括書き込みが可能になり、さらには、消去特性を揃えるために一括消去前に行うような書き込み動作の時間短縮と低消費電力化を達成することができるという効果がある。

#### 4. 図面の簡単な説明

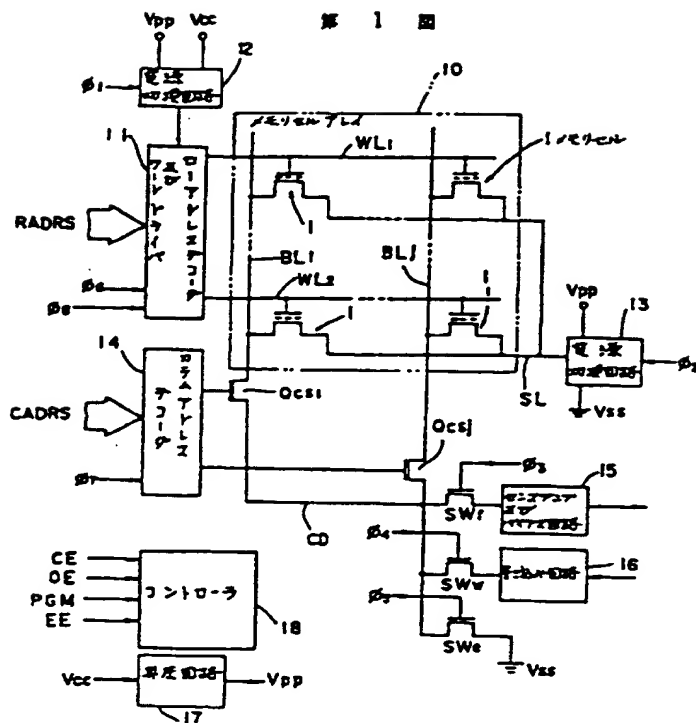
第1図は本発明の一実施例である  $EEPROM$  の全体を示す回路ブロック図。

第2図はメモリセル構造の一例を示す断面図。

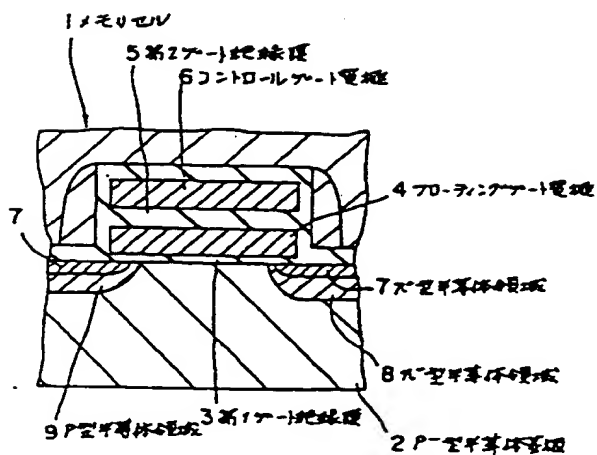
第3図はワードドライバの一例を示す回路図である。

1…メモリセル、2… $p$ -型半導体基板、3…第1ゲート絶縁膜、4…フローティングゲート電極、5…第2ゲート絶縁膜、6…コントロールゲート電極、7… $n$ -型半導体領域、8… $n$ -型半導体領域、9… $p$ -型半導体領域、10…メモリセルアレイ、 $WL_i$ … $WK_i$ …ワード線、 $BL_i$ … $BL_j$ …ビット線、 $SL$ …ソース線、17…昇圧回路、18…コントローラ、 $CE$ …チップイネーブル信号、 $OE$ …アウトプットイネーブル信号、 $PGM$ …プログラム信号、 $EE$ …イレーズイネーブル信号、 $\phi_1, \phi_2$ …切り換え制御信号、 $\phi_3, \phi_4$ …選択制御信号、 $\phi_5, \phi_6, \phi_7$ …切り換え制御信号、 $V_{dd}$ …電源電圧、 $V_{ss}$ …接地電位、 $V_{pp}$ …高電圧。

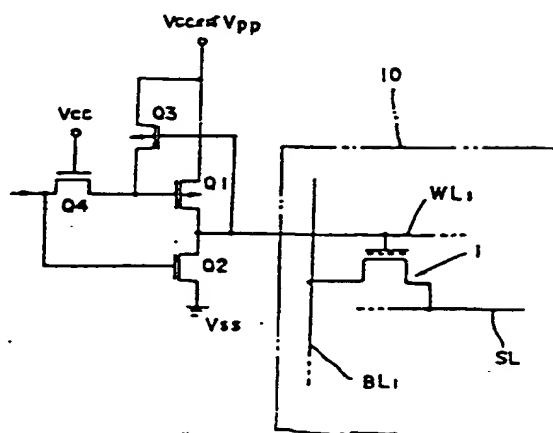
1



第 2 回



第 3 章



特開平1-273295(9)

第1頁の続き

②発明者	田 辺	成 利	東京都小平市上水本町1448番地 日立超エル・エス・アイ エンジニアリング株式会社内
③発明者	井 口	真 理 子	東京都小平市上水本町1448番地 日立超エル・エス・アイ エンジニアリング株式会社内
④発明者	鍋 谷	慎 二	東京都小平市上水本町1450番地 株式会社日立製作所武蔵 工場内
⑤発明者	萩 原	隆 且	東京都小平市上水本町1450番地 株式会社日立製作所武蔵 工場内
⑥発明者	和 田	武 史	東京都小平市上水本町1450番地 株式会社日立製作所武蔵 工場内
⑦発明者	武 蔵	匡 志	東京都小平市上水本町1450番地 株式会社日立製作所武蔵 工場内
⑧発明者	小 森	和 広	東京都小平市上水本町1450番地 株式会社日立製作所武蔵 工場内

**THIS PAGE BLANK (USPTO)**

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**

**THIS PAGE BLANK (USPTO)**